

PAT-NO: JP411259016A  
DOCUMENT-IDENTIFIER: JP 11259016 A  
TITLE: MANUFACTURE OF ARRAY SUBSTRATE FOR  
DISPLAY DEVICE  
PUBN-DATE: September 24, 1999

INVENTOR-INFORMATION:  
NAME COUNTRY  
DOJIRO, MASAYUKI N/A  
KUBO, AKIRA N/A

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
TOSHIBA CORP N/A

APPL-NO: JP10063252  
APPL-DATE: March 13, 1998

INT-CL (IPC): G09F009/30, G02F001/1343 , G02F001/136 ,  
H01L029/786  
, H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide the manufacturing method of an array substrate for a display device for not generating defects even when wet etching is performed in the process of forming a picture element electrode.

SOLUTION: A scanning line 111, first insulation films 115 and 117, a semiconductor film 120, a thin film transistor 112 provided with a source electrode 126b and a drain electrode 126a electrically connected to the

semiconductor film 120, a signal line 110 led out from the drain electrode 126a

and made almost orthogonal to the scanning line 111 and the picture element

electrode 131 electrically connected to the source electrode 126b are provided.

For the scanning line 111, the Al-Nd alloy film 1110 of film thickness 300 nm

and the Mo film 1110 of the film thickness 50 nm on it are laminated and

deposited, then the first insulation films 115 and 117 are formed by a CVD

method at the substrate temperature of 350

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-259016

(43)公開日 平成11年(1999)9月24日

|                           |        |                |
|---------------------------|--------|----------------|
| (51) Int.Cl. <sup>a</sup> | 識別記号   | F I            |
| G 0 9 F                   | 9/30   | 3 3 8          |
| G 0 2 F                   | 1/1343 | G 0 2 F 1/1343 |
|                           | 1/136  | 5 0 0          |
| H 0 1 L                   | 29/786 | H 0 1 L 29/78  |
|                           | 21/336 | 6 1 2 C        |
|                           |        | 6 1 6 U        |

審査請求 未請求 請求項の数 6 OJL (全 11 頁) 最終頁に統べ

(21)出願番号 特願平10-63252

(22) 出願日 平成10年(1998)3月13日

(71)出席人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

## (72) 發明者 堂城 政幸

兵庫県姫路市余部  
杜東芝居路工場内

(72)發明者 久保 明

兵庫県姫路市余部区上余部50番地 株式会社東洋鐵工場

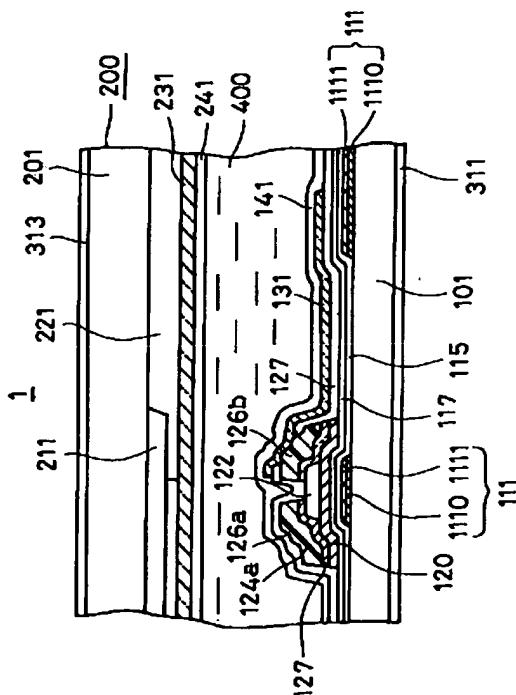
(74)代理人 基理士 莫田 瑞子 (外1名)

(54) 【発明の名称】 表示装置用アレイ基板の製造方法

(57)【要約】

【解決手段】 走査線(111)と、第1絶縁膜(115),(117)、半導体膜(120)、半導体膜(120)に電気的に接続されるソース電極(126b)及びドレイン電極(126a)とを含む薄膜トランジスタ(112)と、ドレイン電極(126a)から導出されて走査線(111)と略直交する信号線(110)と、ソース電極(126b)と電気的に接続される画素電極(131)とを備え、走査線(111)をA1-Nd合金膜(1110)を膜厚300nm、この上にMo膜(1110)を膜厚50nm積層して堆積させ、次に350°Cの基板温度でCVD法により第1絶縁膜(115),(117)を形成させ、さらに、画素電極(131)をHBr、HIまたはシュウ酸を少なくとも含む混合液によってエッチングを行う。

【効果】 Al合金とMo膜の積層により、エッチングによってAlが腐食されず、アレイ基板形成において歩留を低下させることはない。



1

## 【特許請求の範囲】

【請求項1】基板上に配置される走査線と、この上に配置される第1絶縁膜、この上に配置される半導体膜、前記半導体膜に電気的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法において、前記走査線がアルミニウム合金と高融点金属の積層構造を形成する工程と、前記走査線及びゲート電極に直接接するゲート絶縁膜が300°C以上の基板温度で成膜する工程と、前記ゲート絶縁膜より上に積層される前記画素電極を、HBr、HIまたはシュウ酸(COOH)<sub>2</sub>を少なくとも含む混合液によりエッチングを行う工程とを有することを特徴とする表示装置用アレイ基板の製造方法。

【請求項2】アルミニウム合金が、Sc、Y、Nd、Sm、Gdのうち少なくとも一つを含んでいて、かつ、その添加元素の総和が10原子%以下であることを特徴とする請求項1記載の表示装置用アレイ基板の製造方法。

【請求項3】前記高融点金属が、Cr、Mo、W、Ti、Zr、Hf、V、Nb、Taから選ばれた一の金属またはそれらの合金であることを特徴とする請求項1記載の表示装置用アレイ基板の製造方法。

【請求項4】前記高融点金属が、Mo、Ta、W、Tiから選ばれた金属またはそれらの少なくとも2種類以上の合金であることを特徴とする請求項1記載の表示装置用アレイ基板の製造方法。

【請求項5】前記ゲート絶縁膜が、常圧CVD法で形成されたシリコン酸化膜であることを特徴とする請求項1記載の表示装置用アレイ基板の製造方法。

【請求項6】前記ゲート絶縁膜が、プラズマCVD法で形成されたシリコン酸化膜、シリコン窒化膜またはシリコン酸であることを特徴とする請求項1記載の表示装置用アレイ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられる表示装置用アレイ基板の製造方法に関する。

## 【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力等の利点から特に注目を集めている。

## 【0003】例えば、各表示画素毎にスイッチ素子が配

10

2

置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン(以下、a-Si:Hと略称する。)等の半導体薄膜を用いた薄膜トランジスタ(以下、TFTと略称する。)が接続されている。そして TFT のゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO(Indium-Tin-Oxide)に電気的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】このようなアクティブマトリクス液晶表示装置のアレイ基板の構成は、チャネル保護型のTFT構造のアレイ基板に適用した場合を述べる。即ち、走査線はアルミニウム(A1)で形成し、このA1表層に電解液により陽極酸化皮膜を形成した走査線及び補助容量配線の構成となっている。

【0006】その形成方法は、ガラス等の絶縁性基板上に、まずスパッタ法によりA1を堆積し、所定の配線の形状にパターニングする。A1のパターンを陽極酸化しないところをレジスト等の陽極酸化マスク材で被覆して、所定の電圧まで印加することによりA1酸化物を所定の膜厚(例えば100nm~200nm)で形成して、走査線、ゲート電極及び補助容量配線を形成する。トランジスタ能動部、画素電極、信号線及びソース・ドレイン電極を順次形成し、アクティブマトリクス液晶表示用アレイ基板を構成する。

## 【0007】

【発明が解決しようとする課題】このような液晶表示装置の表示画面が大画面化や高精細化になるに伴い、走査線長は長くなり、また画素の開口率を高めるために走査線の幅が狭くなる傾向にある。これらの傾向は走査線抵抗の高抵抗化につながり、走査線信号の波形を歪ませ、信号の伝搬遅延を生ずることになる。これは画像の不均一化となって現れ、画質低下を招くことになる。

【0008】このため、走査線及び補助容量配線を低抵抗金属材料であるA1で構成し、これにより配線抵抗を低減させ、信号の伝搬遅延を小さくすることが考えられる。しかし、上記構造にあっては、低抵抗金属材料の配線後の各種熱工程によりA1にヒロック等の変形が生じる。すなわち厚さ方向に一部分が盛り上がる現象である。このため、絶縁膜の層間絶縁性の低下が起こり、アレイ基板の歩留を著しく低下させることになる。

【0009】また、低抵抗配線としてのA1配線の表層

50

を陽極酸化膜で被覆し、更にシリコン塗化膜等の絶縁膜を積層してゲート絶縁膜を形成してアレイ基板を作製すれば、上記ヒロックの問題はないが、陽極酸化工程（陽極酸化マスク形成工程も含む）を必要とすること及び陽極酸化のための電圧供給の特別な配線パターンが必要となり、ゲート配線パターンが制限されることで、設計の自由度並びに生産性が低下する。

【0010】さらに、画素電極を形成する工程で、ウエットエッチングを行うと、このエッチング液がA1配線の層に浸透してA1を腐食して歩留まりが落ちるという問題がった。

【0011】そこで、本発明は、上記問題点に鑑み、画素電極を形成する工程でウエットエッチングを行っても不良が発生しない表示装置用アレイ基板の製造方法を提供する。

#### 【0012】

【課題を解決するための手段】本発明は、基板上に配置される走査線と、この上に配置される第1絶縁膜、この上に配置される半導体膜、前記半導体膜に電気的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法において、前記走査線がアルミニウム合金と高融点金属の積層構造を形成する工程と、前記走査線及びゲート電極に直接接するゲート絶縁膜が300°C以上の基板温度で成膜する工程と、前記ゲート絶縁膜より上に積層される前記画素電極を、HBr、HIまたはシュウ酸を少なくとも含む混合液によりエッチングを行う工程とを有することを特徴とする表示装置用アレイ基板の製造方法である。

【0013】以上のような走査線の構成において、例えばA1合金金属としてA1-Nd（Ndが2原子%）を膜厚300nm、このA1合金の上に高融点金属を膜厚50nm積層して堆積させる。この積層膜をテーパー形状加工して走査線を形成し、次に350°Cの基板温度でプラズマCVD法により、ゲート絶縁膜を形成させる。A1合金と高融点金属の積層により、A1合金の変形を抑え、層間絶縁膜の不良を低減し、アレイ基板形成における歩留の低下を防止することができる。これにより、従来と同等もしくはそれ以下の配線抵抗が歩留低下を起させずに実現できる。

【0014】また、前記画素電極を形成する工程で、HBr、HIまたはシュウ酸を少なくとも含む混合液によるエッチングを行っても、アルミニウム合金を含む走査線との間には、高融点金属とゲート絶縁膜が存在するために、このアルミニウム合金がダメージを受けることがない。

#### 【0015】

【発明の実施の形態】以下、本発明の第1の実施例の液

晶表示装置(1)について図1から図13に基づいて説明する。

【0016】この液晶表示装置(1)は、カラー表示が可能な光透過型であって、図2に示すように、アレイ基板(100)と対向基板(200)との間にポリイミド樹脂から成り、互いに直交する方向に配向処理が成された配向膜(141), (241)を介して、ツイスト・ネマチック(TN)液晶が保持されている。また、アレイ基板(100)と対向基板(200)との外表面には、それぞれ偏光板(311), (313)が貼り付けられて構成されている。

【0017】図1は、アレイ基板(100)の概略平面図を示すものであり、図中の下側が液晶表示装置(1)の画面上側に位置するものであって、図中下側から上側に向かって走査線が順次選択されるものである。

【0018】アレイ基板(100)は、ガラス基板(101)上に配置される480本の走査線(111)を含み、各走査線(111)の一端は、ガラス基板(101)の一端辺(101a)側に引き出され、斜め配線部(150)を経て走査線パッド(152)に電気的に接続される。なお、走査線(111)は、A1-Nd合金膜(1110)（2原子%Nd含む）とMo膜(111)の二層構造である。

【0019】アレイ基板(100)は、ガラス基板(101)上に走査線(111)と略直交する1920本のMo-W合金から成る信号線(110)を含み、各信号線(110)はガラス基板(101)の他の一端辺(101b)側に引き出され、斜め配線部(160)を経て信号線パッド(162)に電気的に接続される。なお、信号線(110)は、Moを主成分とする第1金属膜と、A1を主成分とする第2金属膜と、Moを主成分とする第3金属膜の三層構造となっている。

【0020】この走査線(111)と信号線(110)との交点部分近傍には、TFT(112)が配置されている。また、このTFT(112)に接続されるITOから成る画素電極(131)が、走査線(111)及び信号線(110)上に層間絶縁膜(127)を介して配置されている。この層間絶縁膜(127)としては、塗化シリコン膜や酸化シリコン膜等の無機絶縁膜あるいはアクリル系等の有機樹脂被膜で構成することができるが、これら無機絶縁膜と有機樹脂被膜との多層膜で構成することにより、表面平滑性並びに層間絶縁性はより一層向上される。

【0021】(TFT領域の構造) TFT(112)領域の構造について説明する。

【0022】各走査線(111)は、隣り合う画素電極(131)の信号線(110)に沿う端辺(131a), (131b)と重複するように細線状に延在される延在領域(113)を含む。画素電極(131)と、画素電極(131)に対応する走査線(111)に対して前段の走査線(111)からの延在領域(113)との重複領域(OS)は、図6に示すように、第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して互いに重複され、この重複領域(OS)により補助容量(Cs)が構成される。また、この実施

例では、画素電極(131)は前段の走査線(111)自体とも第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して互いに重複され、この重複領域でも補助容量(Cs)が構成される。

【0023】このアレイ基板(100)に対向する対向基板(200)は、ガラス基板(201)上に配置され、TFT(121)領域、信号線(110)及び走査線(111)と画素電極(131)との間隙を遮光するマトリクス状の樹脂性の遮光膜(211)を含む。また、画素電極(131)に対応する領域には、それぞれ赤(R)、緑(G)及び青(B)のカラー・フィルタ(221)が配置され、この上に透明電極材料から成る対向電極(231)が配置されて構成される。

【0024】以上のように、この液晶表示装置(1)のアレイ基板(100)によれば、信号線(110)及び走査線(111)と画素電極(131)との間には、層間絶縁膜(127)、あるいは第1及び第2ゲート絶縁膜(115)、(117)及び層間絶縁膜(127)がそれぞれ配置されているので、画素電極(131)を各配線(110)、(111)に対して充分に近接、もしくは重疊して配置することができ、これにより高開口率化を実現することができる。

【0025】また、この実施例によれば、補助容量(Cs)が画素電極(131)と、この画素電極(131)と隣接する走査線(111)から延在される延在領域(113)との間に形成されるので、別途補助容量線等を配置する必要がなく、一層の高開口率化が可能となる。特に、この実施例では、TFT(112)は、走査線(111)から信号線(110)に沿って導出される領域をゲート電極として構成されるため、画素電極(131)は前段の走査線(111)自体にも重疊させることができる。これにより、十分な補助容量(Cs)の確保と高開口率化が同時に達成される。

【0026】そして、画素電極(131)と走査線(111)及び延在領域(113)との間には、3種類の絶縁膜(115)、(117)、(127)がそれぞれ積層配置されているので、本実施例の構造に起因した層間ショート等の発生も極めて軽減される。

【0027】ところで、この実施例では、画素領域が、対向基板(200)に配置される遮光膜(211)ではなくアレイ基板(100)上の走査線(111)及びその延在領域(113)によって画定される。従って、アレイ基板(100)と対向基板(200)との合わせ精度によらず、走査線(111)をパターニングする第1のマスクパターンと画素電極(131)をパターニングする第5のマスクパターンとの合わせ精度によってのみ決定されるので、アレイ基板(100)との対向基板(200)との合わせずれを考慮して遮光膜(211)幅にマージンを設ける必要がないので、更なる高開口率の実現が可能となる。

【0028】さらに、画素領域を画定するため、走査線(111)の延在領域(113)を画素電極(131)の信号線(110)に沿う端辺(131a)、(131b)に沿って十分に延在させて、この実施例によれば、画素電極(131)と走査線(111)

1) の延在領域(113)との間には第1ゲート絶縁膜(115)及び第2ゲート絶縁膜(117)の他に層間絶縁膜(127)が配置されているので、生産性を損なうことなく補助容量(Cs)の大幅な増大を抑えることができる。

【0029】また、図5に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致している。さらに詳しくは、信号線(110)と走査線(111)との交差部には、必ず第1乃至第2ゲート絶縁膜(115)、(117)の他に低抵抗半導体膜(124a)及び半導体膜(120)が積層されている。このため、各パターニングに際してマスクずれが生じても、信号線(110)と走査線(111)との間の容量変動がなく、このため製品間で走査線容量あるいは信号線容量の変動が軽減される。また、信号線(110)と走査線(111)との交差部における静電気、プロセス中のゴミ、あるいは各絶縁膜(115)、(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。

【0030】さらに、図6に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致しているので、従来の如く別工程でパターニングされるのとは異なり、各パターニングに際してマスクずれが生じても、信号線(110)と走査線(111)の延在領域(113)との間に生じる容量変動も十分に抑えることができる。

【0031】また、信号線(110)と走査線(111)の延在領域(113)とを重疊、即ち図6において信号線(111)を介して隣接して配置される延在領域(113)を信号線(111)下において接続する構造としても、信号線(110)と走査線(111)の延在領域(113)との間には、各絶縁膜(115)、(117)の他に半導体膜(120)が必ず配置されるので、静電気、プロセス中のゴミ、あるいは各絶縁膜(115)、(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。そして、このように信号線(111)と隣接する画素電極(131)下に延在領域(113)を配する構成により、信号線(111)と画素電極(131)との間の容量結合が延在領域(113)によってシールドされ、画素電極(131)の電位が信号線(111)の電位によって受けける影響を軽減できる。しかも、信号線(111)と絶縁膜(115)、(117)との間に配置される半導体膜(120)及び低抵抗半導体膜(124a)の輪郭線が信号線(111)の輪郭線と一致している。これらの理由から、信号線(111)と画素電極(131)とを充分に近接配置することができ、これにより一層の高開口率化が達成される。

【0032】(走査線の外周部付近の構造) 走査線(111)の外周部付近の構造について、図1及び図3に基づいて説明する。

【0033】走査線(111)は、ガラス基板(101)の一端辺(101a)側に引出され、斜め配線部(150)及び走査線バッド(152)に導かれる下層配線部(111a)を形成してい

る。

【0034】斜め配線部(150)においては、走査線(111)から延在される下層配線部(111a)上には2層の絶縁膜(115), (117)が積層配置されている。また、この2層の絶縁膜(115), (117)の上には、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)と同一工程で同一材料である上層配線部(125a)が積層され、この上層配線部(125a)の上には層間絶縁膜(127)が配置されている。

【0035】そして、この斜め配線部(150)の基部においては、一対を成す第1コンタクトホール(153)と第2コンタクトホール(154)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる走査線接続層(131)によって走査線(111)から延在される下層配線部(111a)と上層配線部(125a)とが第1コンタクトホール(153)及び第2コンタクトホール(154)を介して電気的に接続されている。なお、第2コンタクトホール(154)は、下層配線部(111a)の主表面の一部を露出するように2層の絶縁膜(115), (117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125a)を貫通する開口であって、第1コンタクトホール(153)は上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0036】また、走査線パッド(152)においては、やはり一対を成す第1コンタクトホール(155)と第2コンタクトホール(156)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる走査線接続層(131)によって走査線(111)の下層配線部(111a)と上層配線部(125a)とが第1コンタクトホール(155)及び第2コンタクトホール(156)を介して電気的に接続されている。なお、第2コンタクトホール(156)は、上述した第2コンタクトホール(154)と同様に、下層配線部(111a)の主表面の一部を露出するように2層の絶縁膜(115), (117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125a)を貫通する開口であって、第1コンタクトホール(155)は上述の第1コンタクトホール(153)と同様に上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0037】これにより、走査線(111)の斜め配線部(150)は、互いに別工程でバーニングされる信号線(110)と同一材料で同一工程で作製される上層配線部(125a)と走査線(111)から延在される下層配線部(111a)との積層構造で構成され、この2層によって斜め配線部(150)の基部と走査線パッド(152)とが電気的に接続される。

【0038】このため、斜め配線部(150)において、上層配線部(125a)または下層配線部(111a)の一方が断線しても、他方が接続されているため、斜め配線部(150)で

10 の断線不良が極めて軽減される。

【0039】また、斜め配線部(150)は、低抵抗材料であるAl-Nd合金膜(1110)よりなる下層配線部(111a)を含むため、十分な低抵抗化が図れる。

【0040】なお、この実施例では、第2コンタクトホール(156)の領域、即ち下層配線部(111a)と走査線接続層(131)との積層領域が主として走査線パッド(152)の接続領域として機能する。

【0041】(信号線の外周部付近の構造)信号線(110)の外周部付近の構造について、図1及び図4に基づいて説明する。

【0042】走査線(111)と同一工程で同一材料から成る下層配線部(111b)が、各信号線(110)に対応してガラス基板(101)の一端辺(101b)側の信号線(110)の斜め配線部(160)及び信号線パッド(162)に配置されている。

【0043】斜め配線部(160)においては、下層配線部(111b)の上には、2層の絶縁膜(115), (117)が配置されている。また、この2層の絶縁膜(115), (117)の上に、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)から延在される上層配線部(125b)(信号線(110))が積層され、この上層配線部(125b)上には層間絶縁膜(127)が配置されている。

【0044】そして、この斜め配線部(160)の基部においては、一対を成す第1コンタクトホール(163)と第2コンタクトホール(164)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる信号線接続層(131)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電気的に接続されている。なお、第2コンタクトホール(164)は、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115), (117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第1コンタクトホール(163)は上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0045】また、信号線パッド(162)においては、やはり一対を成す第1コンタクトホール(165)と第2コンタクトホール(166)とがそれぞれ配線方向に近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる信号線接続層(131)によって信号線(110)

30 から延在される上層配線部(125b)と下層配線部(111b)とが電気的に接続されている。なお、第2コンタクトホール(166)は、上述した第2コンタクトホール(164)と同様に、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115), (117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第1コンタクトホール(165)は上述の第2コンタクトホール(164)と同様に上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0046】これにより、斜め配線部(160)においては、信号線(110)から延在される上層配線部(125b)と走査線(111)と同一工程で同一材料である下層配線部(111b)とが積層配置され、この2層によって、斜め配線部(160)の基部と信号線パッド(162)とを電気的に接続している。

【0047】そのため、斜め配線部(160)において、上層配線部(125b)または下層配線部(111b)の一方が断線しても、他方が接続されているため、斜め配線部(160)に断線不良が生じることが軽減される。

【0048】また、斜め配線部(160)は、低抵抗材料であるAl-Nd合金膜(1110)よりなる下層配線部(111b)を含むため、十分な低抵抗化が図れる。

【0049】なお、この実施例では、第2コントクトホール(166)の領域、即ち下層配線部(111b)と走査線接続層(131)との積層領域が主として信号線パッド(162)の接続領域として機能する。

【0050】上述した構成によれば、駆動ICのバンプ、FPC(フレキシブル・プリント・サーキット)やTCP(テープ・キャリア・パッケージ)の電極等を信号線パッド(162)及び走査線パッド(152)にACF(異方性導電膜)等の接続層を介して電気的に接続する場合に、信号線パッド(162)及び走査線パッド(152)の構成が実質的に同一であるため、信号線パッド(162)及び走査線パッド(152)の接続条件を等しくしても接続層に印加される熱や圧力等が略等しくでき、これにより同一条件での製造が可能となる。即ち、この実施例では、走査線パッド(152)の接続領域は、主として走査線(111)から導出される下層配線部(111a)と画素電極(131)と同一材料であるITOからなる走査線接続層(131)との積層構造で構成され、また信号線接続パッド(162)の接続領域は、主として走査線(111)と同時に形成される下層配線部(111b)と画素電極(131)と同一材料であるITOからなる信号線接続層(131)との積層構造で構成されており、その構造は実質的に同一である。

【0051】(アレイ基板の製造工程) 次に、このアレイ基板(100)の製造工程について、図7から図13を参考して詳細に説明する。

#### 【0052】(1) 第1工程

ガラス基板(101)に、スパッタ法によりAl合金膜としてAl-Nd膜(2原子%Nd)を300nmの膜厚、Mo膜を50nmの膜厚に堆積させる。

【0053】Mo膜の膜厚としては、50~500nm、好ましくは50~300nmの間にあればよい。但し、50nm未満となるとAlのヒロックが抑えきれなくなる。一方、500nmを越えると、絶縁膜の段切れの問題が発生する。

【0054】Al合金膜としては、例えば、Al-Y(Yが2原子%)、Al-Gd(Gdが2原子%)、Al-Sc(Scが2原子%)等でも可能である。このA

1合金膜はプラズマCVD法等の成膜により、熱処理効果を受け、不純物のみが結晶粒界付近に偏析して、Al原子の移動を妨げてヒロックの発生を防止している。多結晶中にも不純物は存在し、比抵抗を約30%程度上昇させる。

【0055】なお、Al合金膜としては、Sc、Y、Nd、Sm、Gdのうち少なくとも2つを含むものであっても良く、この場合は、その添加元素の総和が10原子%以下になるようにすることが好ましい。具体例としては、Yが1原子%、Ndが1原子%のAl-Nd-Y合金膜等が挙げられる。

【0056】この積層膜上に、フォトリングラフィを用いて走査線パターンと補助容量配線の一部を形成し、リン酸、酢酸、硝酸の混酸を用いてテーパー形状にエッチングし、走査線と補助容量配線パターンを完成させる。

【0057】これにより、ガラス基板(101)上に480本の走査線(111)を作製すると共に、その一端辺(101a)側において走査線(111)の斜め配線部(150)及び走査線パッド(152)を構成する下層配線部(111a)、一端辺(101b)において信号線(110)の斜め配線部(160)及び信号線パッド(162)を構成する下層配線部(111b)をそれぞれ同時に作製する。

【0058】さらに、TFT領域では走査線(111)と一緒に走査線(111)と直交する方向に導出されるゲート電極を作製する。また、走査線(111)のバーニングの際に走査線(111)と直交する方向に導出され、補助容量(Cs)を形成するための延在領域(113)も同時に作製しておく(図1参照)。

#### 【0059】(2) 第2工程

30 第1工程の後、図8に示すように、ガラス基板(101)を300°C以上(好適には、330°C以上)に加熱した後、プラズマCVD法により150nm厚の酸化シリコン膜(SiO<sub>x</sub>膜)から成る第1ゲート絶縁膜(115)を堆積した後、さらに減圧プラズマCVD法により150nm厚の塗化シリコン膜から成る第2ゲート絶縁膜(117)、50nm厚のa-Si:Hから成る半導体被膜(119)及び200nm厚の塗化シリコン膜から成るチャネル保護被膜(121)を連続的に大気にさらすことなく成膜する。

40 【0060】ガラス基板(101)を300°C以上に加熱した後に成膜することで、絶縁耐圧が5×10<sup>6</sup>V/cmの絶縁膜が得やすい。また、塗化膜であれば、上記耐圧に加え、光学バンドギャップが5eV以上のものが得やすい。

【0061】SiO<sub>x</sub>膜の代わりに、ガラス基板(101)を300°C以上(好適には、465°C以上)に加熱した後、熱CVD法によるSiO<sub>2</sub>膜を用いてもよい。このとき、熱処理が加わるため、Al膜のヒロック発生が懸念されるが、Al合金とMoの効果で、ほとんどヒロックは抑制されている。

11

## 【0062】(3) 第3工程

第2工程の後、図9に示すように、走査線(111)をマスクとした裏面露光技術により走査線(111)に自己整合的にチャネル保護被膜(121)をバーニングし、さらにTFT領域に対応するように第2のマスクパターンを用いて露光し、現像、エトching(HF系)によりバーニング(第2のバーニング)して島状のチャネル保護被膜(122)を作製する。

## 【0063】(4) 第4工程

第3工程の後、図10に示すように、良好なオームックコンタクトが得られるように露出する半導体被膜(119)表面をエトching(HF系)で処理し、プラズマCVD法により不純物としてリンを含む30nm厚のn<sup>+</sup>a-Si:Hから成る低抵抗半導体被膜(123)を堆積し、さらにMoを主成分とする第1金属膜と、Alを主成分とする第2金属膜と、Moを主成分とする第3金属膜の三層構造となる300nm厚の三層構造膜(125)をスパッタにより堆積する。

## 【0064】(5) 第5工程

第4工程の後、図11に示すように、第3のマスクパターンを用いて露光、現像し、三層構造膜(125)はエットエッチングにより、低抵抗半導体被膜(123)及び半導体被膜(119)を塗化シリコン膜から成る第1ゲート絶縁膜(115)あるいは第2ゲート絶縁膜(117)とチャネル保護膜(122)とのエッチング選択比を制御することによりプラズマエッティングによりバーニングする(第3のバーニング)。

【0065】これにより、TFT領域においては、抵抗半導体膜(124a)とソース電極(126b)とを一体に作製し、低抵抗半導体膜(124b)及び信号線(110)と一緒にドレン電極(126a)を作製する。

【0066】走査線パッド(152)及び斜め配線部(150)の基部においては、下層配線部(111a)上に沿って三層構造膜(125)をバーニングして上層配線部(125a)を形成すると共に、上層配線部(125a)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してバーニングする。これと同時に、上述した第2コンタクトホール(154), (156)に対応する上層配線部(125a)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(154a), (156a)を作製する。

【0067】同様に、信号線パッド(162)及び斜め配線部(160)の基部においても、下層配線部(111b)上に沿って三層構造膜(125)をバーニングして信号線(110)から延在される上層配線部(125b)を形成すると共に、上層配線部(125b)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してバーニングする。これと同時に、上述した第2コンタクトホール(164), (166)に対応する領域の上層配線部(125b)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(164a), (166a)を作製する。

12

【0068】ここでは、低抵抗半導体被膜(123)及び半導体被膜(119)をドライエッティングによりバーニングしたが、エットエッティングでもかまわない。

## 【0069】(6) 第6工程

第5工程の後、この上に200nm厚の塗化シリコン膜から成る層間絶縁膜(127)を堆積する。

【0070】そして、図12に示すように、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する領域の一部の層間絶縁膜(127)を除去してドライエッティングによりコンタクトホール(129a)を形成する。

【0071】走査線パッド(152)及び斜め配線部(150)の基部においては、開口(154a), (156a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(154), (156)を形成する(第4のバーニング)と同時に、第2コンタクトホール(154), (156)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(154), (156)と一対を成す第1コンタクトホール(153), (155)を作製する。

【0072】同時に、信号線パッド(162)及び斜め配線部(160)の基部においては、開口(164a), (166a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(164), (166)を形成すると同時に、第2コンタクトホール(164), (166)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(164), (166)とそれぞれ一対を成す第1コンタクトホール(163), (165)を作製する。

## 【0073】(7) 第7工程

第6工程の後、図13に示すように、この上に100nm厚のITO膜をスパッタ法により堆積し、第5のマスクパターンを用いて露光、現像、エットエッティングによるバーニング(第5のバーニング)を経て、画素電極(131)を作製する。ITO膜のエットエッティングは、HBr水溶液を用いる。この場合に、Al合金膜(111)のエッティングダメージはなかった。他のエッティング液として、HBr+FeCl<sub>3</sub>、HI水溶液またはシウ酸水溶液でもよい。

【0074】走査線パッド(152)及び斜め配線部(150)の基部においては、第1コンタクトホール(153), (155)と第2コンタクトホール(154), (156)とを、それぞれ電気的に接続するための走査線接続層(131)を形成し、これにより走査線(111)と走査線パッド(152)とは、下層配線部(111a)と上層配線部(125a)の2層構造の斜め配線部(150)により電気的に接続される。

【0075】信号線パッド(162)及び斜め配線部(160)の基部においても、第1コンタクトホール(163), (165)と第2コンタクトホール(164), (166)とを、それぞれ電気的に接続するための信号線接続層(131)を同時に形成し、これにより信号線(110)と信号線接続パッド(162)

50 とは、下層配線部(111b)と上層配線部(125b)の2層構造

13

の斜め配線部(160)により電気的に接続される。

【0076】(実施例の効果)以上のように、この実施例のアレイ基板によれば、基本構成を5枚のマスクにより、アレイ基板を作製することができる。即ち、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターニングすると共に、ソース電極と画素電極との接続用のコンタクトホールの作製と共に、信号線や走査線の接続端を露出するためのコンタクトホールの作製を同時にを行うことで、少ないマスク数で生産性を向上でき、しかも製造歩留まりを低下させることもない。

【0077】また、信号線及び走査線の各斜め配線部においては、信号線を成す上層配線部と走査線を成す下層配線部との2層によって構成され、各斜め配線部の基部と各パッドとを電気的に接続している。そのため、斜め配線部において、上層配線部または下層配線部の一方が断線しても、他方が接続されているため、斜め配線部が断線することがない。

【0078】更に、斜め配線部は、少なくともA1を主体とした低抵抗材料で構成される配線層を含むため、十分な低抵抗化が図れる。

【0079】また、駆動ICのバンプやTCP等の電極を接続するための信号線パッド及び走査線パッドは、実質的に同一構成であるため、両者と同じ条件で接続することが可能となる。

【0080】また、走査線抵抗は、対角15インチXGAで、平均配線幅を10μm、配線長を30.5cmとしたとき、約4.1kΩとなり、A1陽極酸化層(200nm厚)を用いたときのA1残厚200nm、(初期膜厚300nm)での約5.6kΩと比較して低抵抗が実現できる。また陽極酸化工程(陽極酸化マスク形成工程も含む)も削減でき、生産性向上に寄与する。

【0081】また、走査線(111)は、A1-Nd合金膜(1110)とMo膜(1111)の二層構造にすることにより、熱処理が加わってもヒロックが十分に抑制されるばかりか、エッティング速度差から良好な順テープー断面形状が形成できる。

【0082】さらに、画素電極(131)を形成する工程で、ウェットエッティングを行っても、走査線(111)の間には、Mo膜(1111)、第1ゲート絶縁膜(115)、その他の層が存在するために、走査線(111)を形成するアルミニウム合金(1110)がエッティングダメージを受けることがない。

【0083】

【発明の効果】以上に述べたように本発明によれば、走査線として、A1合金膜と高融点金属の積層層にし、それに接する300℃以上の基板温度でのゲート絶縁膜の

14

組み合わせにより、走査線の抵抗を低下させ、生産性を向上させることが可能になった。また、画素電極を形成する工程で、HBr、HIまたはシュウ酸を少なくとも含む混合液によるエッティングを行っても、走査線との間には、この高融点金属とゲート絶縁膜が存在するため、走査線を形成するアルミニウム合金がダメージを受けることがない。

#### 【図面の簡単な説明】

【図1】図1は、本発明の一実施例のアレイ基板の一部概略平面図である。

【図2】図2は、図1におけるA-A'線に沿って切断した液晶表示装置の概略断面図である。

【図3】図3は、図1におけるB-B'線に沿って切断した液晶表示装置の概略断面図である。

【図4】図4は、図1におけるC-C'線に沿って切断した液晶表示装置の概略断面図である。

【図5】図5は、図1におけるD-D'線に沿って切断した液晶表示装置の概略断面図である。

【図6】図6は、図1におけるE-E'線に沿って切断した液晶表示装置の概略断面図である。

【図7】図7は、図1におけるアレイ基板を製造する第1工程を説明するための図である。

【図8】図8は、図1におけるアレイ基板を製造する第2工程を説明するための図である。

【図9】図9は、図1におけるアレイ基板を製造する第3工程を説明するための図である。

【図10】図10は、図1におけるアレイ基板を製造する第4工程を説明するための図である。

【図11】図11は、図1におけるアレイ基板を製造する第5工程を説明するための図である。

【図12】図12は、図1におけるアレイ基板を製造する第6工程を説明するための図である。

【図13】図13は、図1におけるアレイ基板を製造する第7工程を説明するための図である。

#### 【符号の説明】

110 信号線

111 走査線

112 薄膜トランジスタ

113 延在領域

115 第1絶縁膜

117 第2絶縁膜

120 半導体膜

126a ドレイン電極

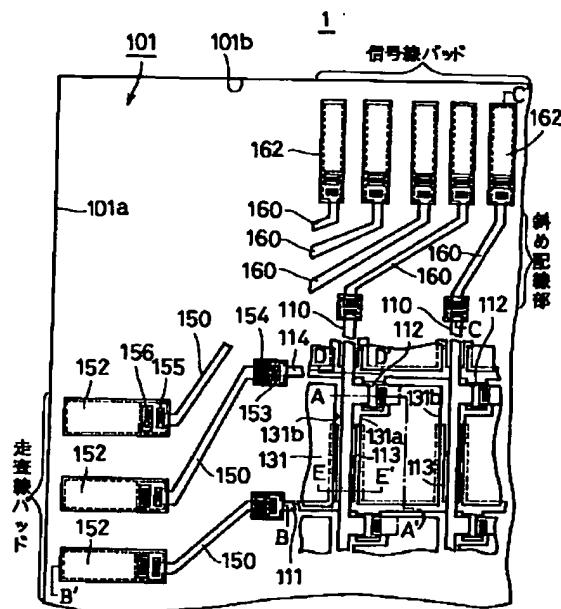
126b ソース電極

131 画素電極

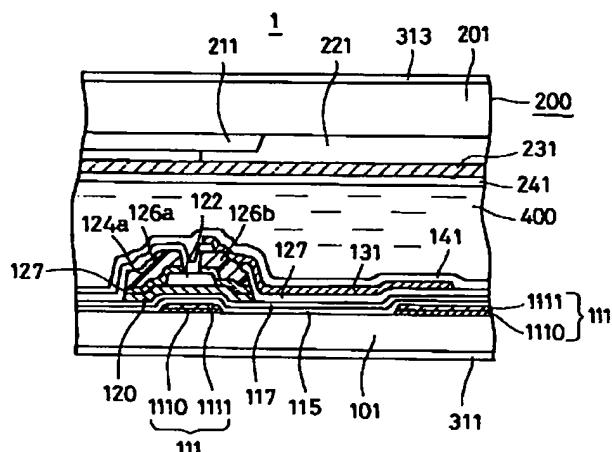
1110 A1-Nd合金膜

1111 Mo膜

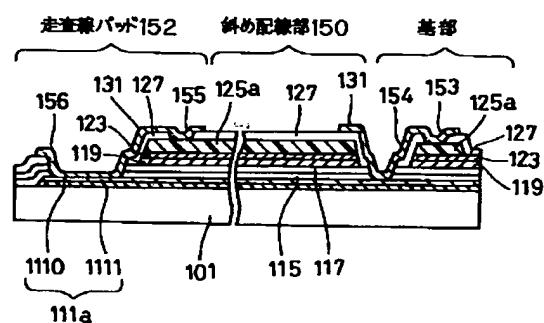
### 【図1】



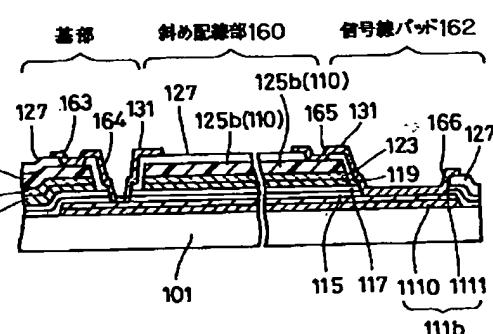
【図2】



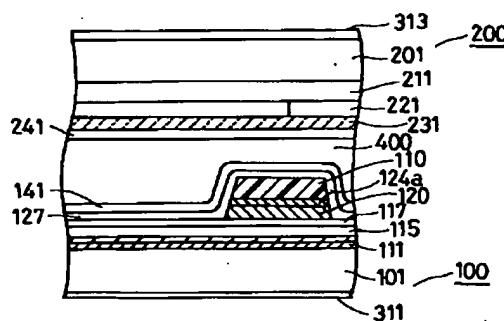
〔四三〕



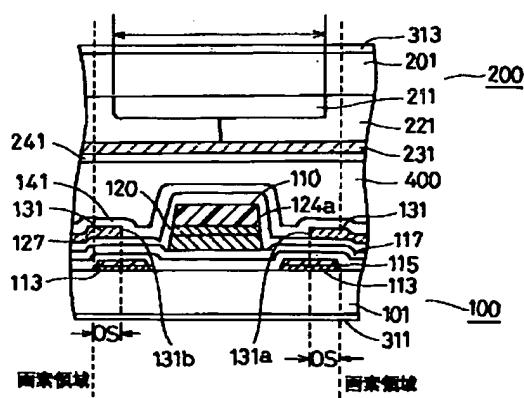
【图4】



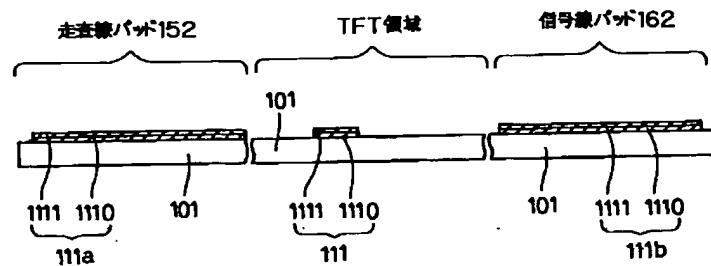
【図5】



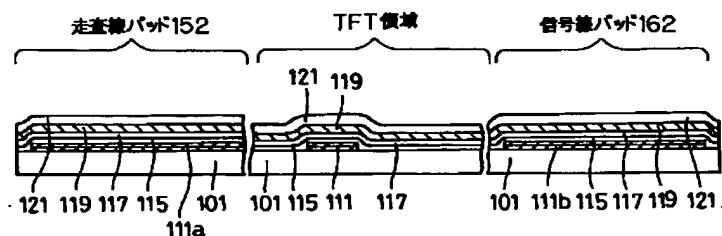
【図6】



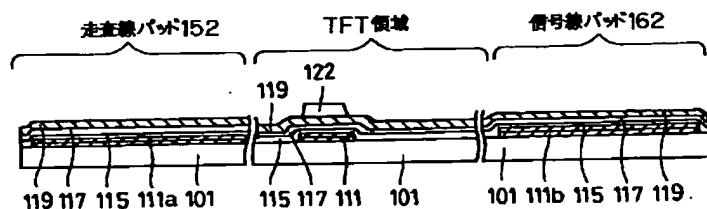
【図7】



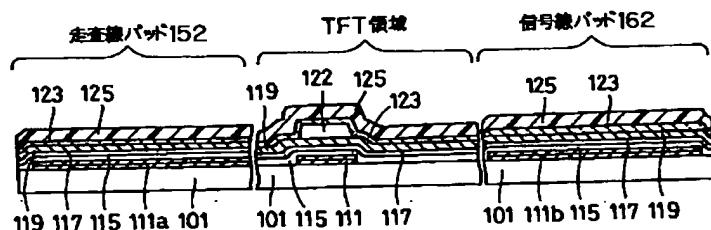
【図8】



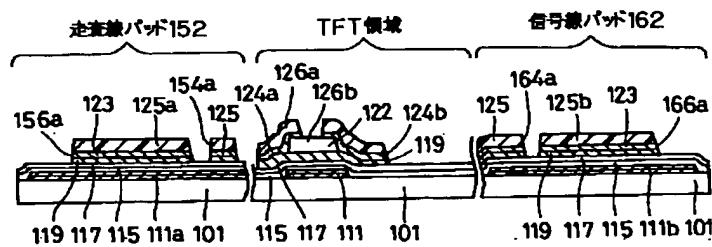
【図9】



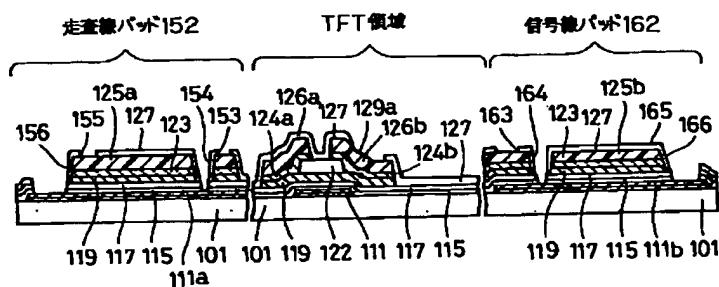
【図10】



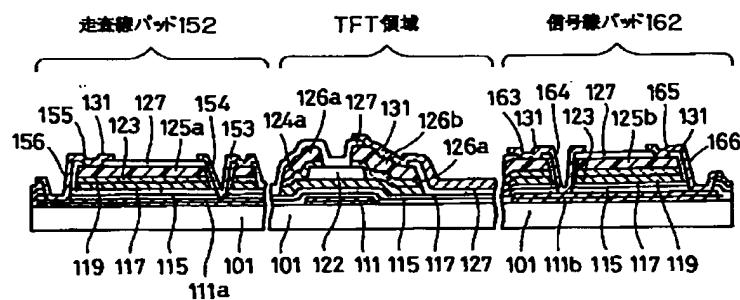
【☒ 1 1】



[図12]



【图13】



## フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

F I

HOL 29/78

617T

617V

617U